

## АЛГОРИТМ ПАРАЛЛЕЛЬНОГО ВЫЧИСЛЕНИЯ БЫСТРОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ ДЛЯ ТРАНСПЬЮТЕРОПОДОБНЫХ СИГНАЛЬНЫХ ПРОЦЕССОРОВ

*Нагулин Н.Е., Нагулин С.Н.*

### Введение

Одним из основных способов повышения общей производительности устройства первичной обработки радиосигналов является распараллеливание вычислений путем использования нескольких одновременно работающих процессоров с упорядоченной системой связей между ними и специализация процессоров под достаточно узкий класс решаемых задач. Очевидно, что эффективность работы многопроцессорной системы существенно зависит при этом от степени соответствия классу решаемых задач структуры процессоров и системы межпроцессорных связей.

Для достижения высокой скорости первичной обработки радиосигналов путем распараллеливания вычислений фирмами Analog Devices, Texas Instruments были разработаны серии цифровых сигнальных процессоров (ЦСП) TMS320C4x и ADSP2106x, имеющих дополнительные каналы связи с другими процессорами. Дополнительные каналы межпроцессорной связи, названные в литературе линк-портами, аналогичны системе связей созданных ранее транспьютеров и позволяют осуществлять обмен данными по принципу «точка-точка» [1]. Соответственно семейство сигнальных процессоров, в состав которых входят линк-порты, часто называют транспьютероподобными процессорами [2].

С помощью линк-портов стало возможным построение многопроцессорных систем различных конфигураций. Однако недостатком линк-портов является сравнительно низкая скорость передачи по сравнению со скоростью передачи по общей параллельной шине. И это обстоятельство очень важно учитывать при распараллеливании вычислений на вышеуказанных процессорах для каждого конкретного алгоритма первичной обработки информации.

Одним из наиболее часто применяемых алгоритмов первичной обработки сигналов является быстрое преобразование Фурье (БПФ). Алгоритм БПФ широко используется для согласованной обработки широкополосных сигналов в частотной области, доплеровской фильтрации, корреляционной обработки, подавления различного рода помех и пр.

Внутренняя архитектура транспьютероподобного процессора в известной степени ориентирована на эффективную реализацию алгоритма БПФ в режиме автономной работы, что нельзя сказать о многопроцессорной системе параллельного вычисления БПФ на основе ЦСП. Целью настоящей работы является рассмотрение способов многопроцессорной реализации БПФ на транспьютероподобных процессорах с использованием линк-портов.

### Многопроцессорная реализация БПФ: алгоритм параллельного вычисления

В случае алгоритма БПФ могут быть использованы следующие способы распараллеливания вычислений:

*Рассматриваются варианты построения многопроцессорной системы на основе транспьютероподобных сигнальных процессоров серий ADSP2106x, ADSP 21160, TigerSharc (Analog Devices), TMS320C4x (Texas Instruments) для параллельного вычисления БПФ. Описана конфигурация связей и алгоритм обмена данными, при которых требуемая скорость обмена информацией между процессорами минимальна.*

- организация многопроцессорной системы с обменом данными по общей параллельной шине;
- построение многопроцессорной системы со специальной системой связей между ними, обеспечивающей максимально эффективную реализацию БПФ.

Основным недостатком реализации БПФ путем использования многопроцессорной системы с обменом данными по общей шине является то, что эффективность распараллеливания вычислений ограничивается пропускной способностью общей шины. Действительно, поскольку для выполнения БПФ необходим обмен между всеми процессорами, то с увеличением числа процессоров должна пропорционально возрастать скорость обмена данными по общей шине. Однако реально скорость передачи данных по общей шине ограничена конструктивными параметрами и не может увеличиваться бесконечно, что в свою очередь приводит к ограничению быстродействия всей многопроцессорной системы.

Вычислительная эффективность многопроцессорного устройства со специальной системой связей находится в прямой зависимости от соответствия его структуры информационному графу, при помощи которого описывается решаемая задача или класс решаемых задач. Информационный граф стандартного алгоритма БПФ характеризуется наличием перекрестных связей между вершинами графа, причем вид связей зависит от номера итерации алгоритма БПФ [3]. Соответственно, при реализации стандартного алгоритма БПФ вычислительной системой, состоящей из нескольких процессоров, должна быть предусмотрена коммутационная структура, обеспечивающая в соответствии с алгоритмом БПФ переключение связей между процессорами.

В работе [4] предложена система фиксированных связей между процессорами при выполнении БПФ за счет использования алгоритма БПФ с однородной структурой на всех итерациях. При этом многопроцессорная система включает  $K$  однотипных процессоров, причем  $K = 2^k$ ,  $k = 1, 2, 3, \dots$ . Оптимальная конфигурация связей, при которой скорость обмена информацией между процессорами минимальна, следует из графа алгоритма БПФ основания  $K$  и однородной структурой на всех итерациях. В соответствии со структурой данного алгоритма БПФ каждый процессор имеет  $K - 1$  двунаправленных портов для обмена данными с дру-

гими процессорами, причем  $i$ -й порт  $j$ -го процессора связан с  $j$ -м портом  $i$ -го процессора.

Граф алгоритма БПФ с однородной структурой на всех итерациях для  $K = 4$  и длины последовательности сигнала  $N = 16$  представлен на рис. 1. Особенностью этого алгоритма является то, что порядок чтения и порядок записи промежуточных результатов вычислений не зависит от номера итерации. Вследствие однородности графа алгоритма БПФ связи между вычислительными модулями остаются фиксированными в процессе вычислений.

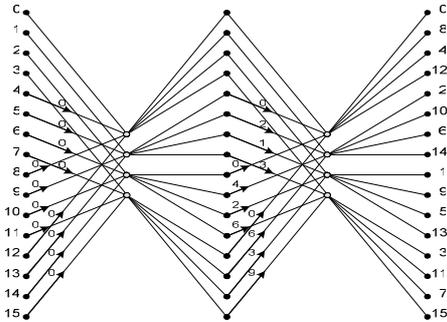


Рис. 1. Граф алгоритма БПФ основания  $K$  с однородной структурой на всех итерациях

Граф алгоритма БПФ основания 4 с однородной структурой на всех итерациях, представленный на рис.1, сформирован путем объединения базовых операций алгоритма БПФ основания 2 и однородной структурой на всех итерациях [3]. В отличие от стандартного алгоритма БПФ с основанием 4 [3], у данного алгоритма порядок выходных отсчетов является не четверично-инверсным, а двоично-инверсным. Это достигается путем установки соответствующих информационных связей при выполнении базовой операции алгоритма БПФ. На рис. 2а) показана блок-схема выполнения базовой операции БПФ с основанием 4, при которой формируется двоично-инверсный порядок выходных отсчетов, а ее графическое обозначение, используемое для построения информационного графа алгоритма БПФ, приведено на рис. 2б).

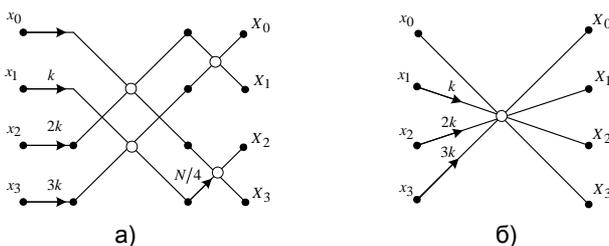


Рис. 2. Блок-схема выполнения базовой операции БПФ с основанием  $K=4$  и ее графическое обозначение

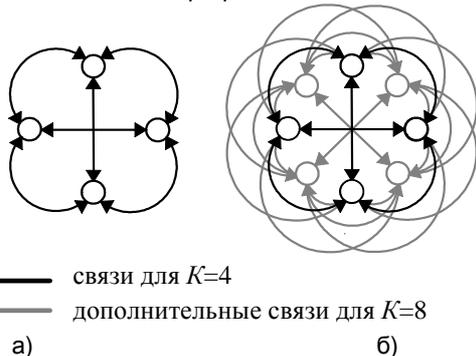


Рис. 3. Структура связей между процессорами для  $K=4$  и  $K=8$

Структура связей между процессорами для  $K = 4$  и  $K = 8$  представлена соответственно на рис. 3а и рис. 3б.

Для выполнения БПФ внутренняя память каждого процессора разбивается на  $K$  блоков  $M_1, M_2, \dots, M_K$ . Соответственно, перед началом вычислений отсчеты  $N$ -точечной последовательности входного сигнала распределяются группами по  $N/K^2$  отсчетов в блоках памяти  $M_1, M_2, \dots, M_K$  всех процессоров так, что в  $i$ -й блок памяти  $j$ -го процессора ( $i, j = 1, 2, \dots, K$ ) записываются отсчеты с номерами:

$$n = \frac{N}{K}(j-1) + \frac{N}{K^2}(i-1) + m, \quad m = 1, 2, \dots, N/K^2,$$

где  $n = 0, 1, \dots, N-1$  - номер отсчета входного сигнала.

Если пронумеровать базовые операции у алгоритма БПФ сверху вниз (см. рис. 1 для  $N = 16$ ), то  $j$ -й процессор ( $j = 1, 2, \dots, K$ ) будет выполнять базовые операции с номерами:

$$l = \frac{N}{K^2}(j-1) + m,$$

где  $l$  - номер базовой операции,  $l, m = 1, 2, \dots, N/K^2$ .

На первой итерации алгоритма БПФ из блоков памяти  $1, 2, \dots, K$  процессоров считываются операнды на соответствующие выходные шины. В соответствии со связями между вычислительными модулями, приведенными на рис. 3, на входы  $j$ -го процессора по  $K$  шинам поступают  $K$  операндов из блоков памяти с номером  $j$  всех  $K$  процессоров для выполнения базовой операции БПФ с основанием  $K$ . Отметим при этом, что считывание из  $j$ -го блока памяти  $j$ -го процессора есть ничто иное, как считывание данных из внутренней памяти процессора.

При выполнении базовой операции алгоритма БПФ в соответствии с блок-схемой, представленной на рис 2а для  $K=4$ , производится умножение промежуточных результатов вычислений на соответствующие значения весовых коэффициентов, которые рассчитываются заранее и хранятся в памяти процессоров.

За счет использования оперативной памяти дуплексного типа в каждом вычислительном модуле может быть организована конвейерная обработка таким образом, чтобы одновременно реализовывались следующие этапы вычислений:

- запись в регистры процессора входных операндов, поступающих из секционированной памяти всех  $K$  процессоров для выполнения  $(l+1)$ -ой базовой итерации
- выполнение в арифметическом устройстве  $l$ -ой базовой операции;
- запись в памяти процессора результатов  $(l-1)$ -ой базовой операции.

Из-за начальной задержки при конвейерной обработке информации, реализуемой в вычислительных модулях, начало записи в память процессоров результатов промежуточных вычислений задержано относительно начала чтения входных операндов для выполнения базовых операций БПФ на величину  $2T_r = 2KT_w$ , где  $T_r$  и  $T_w$  - соответственно периоды чтения и записи данных в память процессора.

Поскольку за время выполнения произвольной  $l$ -ой базовой операции в память процессора записывается  $K$  операндов, а из блоков памяти всех  $K$  процессоров для выполнения  $(l+1)$ -ой итерации поступает только по одно-

му операнду, то, следовательно, темп передачи данных по внутренней шине приблизительно в  $K$  раз выше, чем темп передачи данных по шинам, связывающим процессоры.

В соответствии с графом алгоритма БПФ, представленного на рис. 1, запись результатов промежуточных вычислений производится последовательно по  $N/K^2$  операндов в блоки внутренней памяти  $M_1, M_2, \dots, M_K$  каждого процессора.

Для эффективного формирования весовых коэффициентов, представляющих собой значения комплексной экспоненты, целесообразно использовать следующие свойства, вытекающие из алгоритма БПФ основания  $K$  с нормальным порядком входных отсчетов и двоично-инверсным порядком выходных отсчетов:

- порядок следования весовых коэффициентов подчиняется правилу двоичной инверсии;
- на произвольной  $l$ -ой итерации ( $l = 1, 2, \dots, \log_K N$ ) соседние базовые операции можно представить как  $K^{l-1}$  групп так, что в каждой группе базовые операции имеют одни и те же значения весовых множителей;

- на всех итерациях во всех вычислительных модулях выполняются базовые операции с одинаковыми весовыми коэффициентами (кроме последней итерации).

Заметим, что при данной структуре связей между процессорами, возможна реализация  $N$ -точечного БПФ как в режиме постоянного обмена данными между вычислительными модулями, так и путем автономного выполнения каждым вычислительным модулем БПФ размером  $N/K$ , с последующим выполнением последней итерации алгоритма БПФ с основанием  $K$  в режиме межпроцессорного обмена. Однако во втором случае необходимо перед началом вычислений БПФ выполнить прореживание последовательности отсчетов входного сигнала  $x(n), n=0, 1, \dots, N-1$  таким образом, чтобы в памяти каждого  $j$ -го процессора  $j=1, 2, \dots, K$  записались отсчеты входного сигнала с номерами:

$$n = Kp + j - 1, \quad p = 0, 1, \dots, N/K - 1. \quad (1)$$

Действительно, используя соотношение (1), преобразование Фурье входного сигнала можно представить следующим образом:

$$X(k) = \sum_{n=0}^{N-1} x(n) W_N^{kn} = \sum_{s=0}^{K-1} W_N^{sk} \sum_{p=0}^{N/K-1} x(Kp+s) W_N^{Kpk} = \sum_{s=0}^{K-1} Y_s(k) W_N^{sk}, \quad (2)$$

$$k = 0, 1, \dots, N-1,$$

где  $W_N^{kn} = \exp(-\frac{2\pi I kn}{N})$ ,  $I = \sqrt{-1}$  - значения комплексной экспоненты.

С учетом свойств комплексной экспоненты выражение (2) можно переписать в виде:

$$X(k) = \sum_{s=0}^{K-1} Y_s(k) W_N^{sk}, \quad s = 0, 1, \dots, K-1, \quad (3)$$

где величины  $Y_s(k) = \sum_{p=0}^{N/K-1} x_s(p) W_{N/K}^{pk}$ ,  $k=0, 1, \dots, N/K-1$  - преобразования Фурье последовательностей  $x_s(p) = x(Kp+s)$ ,  $p=0, 1, \dots, N/K-1$ ,  $s=0, 1, \dots, K-1$ . При фиксированном  $k$  выражение (3) представляет собой базовую операцию алгоритма БПФ с основанием  $K$  [3].

Организация процесса параллельного вычисления БПФ на транспьютероподобных сигнальных процессорах

серий ADSP2106x, ADSP 21160, TigerSharc (Analog Devices), TMS320C4x (Texas Instruments) представлена на рис. 4. Как видно из рис. 4, для параллельного вычисления БПФ по вышеприведенному алгоритму система линк-портов у каждого процессора задействуется полностью. В первом процессоре (процессор I на рис. 4) для выполнения базовых операций БПФ данные оперативной памяти используются следующим образом: данные внутреннего блока памяти  $M_1$  поступают на арифметическое устройство, а данные блоков  $M_2 - M_4$  - на линк-порты процессора  $L1 - L3$ . Соответственно, во втором процессоре (процессор II на рис. 4) данные внутреннего блока памяти  $M_2$  поступают на арифметическое устройство, а данные блоков  $M_1, M_3, M_4$  - на линк-порты процессора  $L1 - L3$  и т.д.

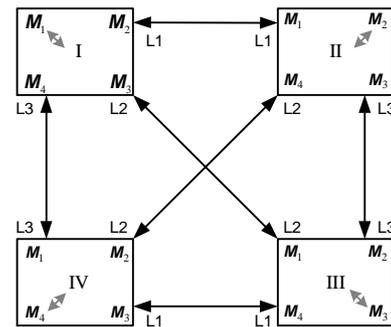


Рис. 4. Организация процесса параллельного вычисления БПФ на транспьютероподобных сигнальных процессорах

Указанная система организации вычислительного процесса БПФ может быть реализована в различных модулях ЦОС, построенных на базе транспьютероподобных сигнальных процессоров. Достаточно широкая номенклатура этих модулей поставляется отечественными и зарубежными производителями.

### Заключение

Приведенный алгоритм параллельного вычисления БПФ обладает следующими преимуществами для реализации на транспьютероподобных сигнальных процессорах:

- позволяет использовать в полном объеме систему линк-портов на передачу данных между процессорами;
- без потери производительности темп передачи данных по линк-портам может быть приблизительно в  $K$  раз ниже, чем темп передачи данных по внутренней шине.
- поскольку каждый процессор выполняет одинаковый набор операций, алгоритм достаточно прост в реализации.

### Литература

1. Руководство пользователя по сигнальным процессорам семейства SHARC ADSP-2106X. Пер. с англ. Бархатов А.В., Коновалов А.А., Петров М.Н. Санкт-Петербург, 2002.
2. Шпаковский Г.И. Параллельные микропроцессоры для цифровой обработки сигналов и медиа данных. - Мн.: БГУ, 2000.
3. Рабинер Л., Гоулд Б. Теория и применение цифровой обработки сигналов / Пер. с англ. Под ред. Ю. И. Александрова. - М.: Мир, 1978.
4. Зайцев Г.В., Нагулин Н.Е. Устройство для быстрого преобразования Фурье. Авторское свидетельство № 1304034, кл. G 06 F 15/332, 1986.