

ЭВОЛЮЦИЯ ПРИМЕНЕНИЯ ПЛИС В СИСТЕМАХ ЦОС: ОТ СПЕЦИАЛИЗИРОВАННОГО СОПРОЦЕССОРА К АППАРАТНОЙ ПЛАТФОРМЕ (Часть 1)

Балдин М.В., Воронков Д.И., Руткевич А.В., Сенченко М.Н., Стешенко В.Б., Шишкин Г.В.

Введение

Десять лет назад были опубликованы работы [1,2], в которых рассматривались тенденции в реализации тех или иных классов алгоритмов цифровой фильтрации на существующей элементной базе. Следует отметить, что направление, заложенное в этих работах, оказалось востребованным – сейчас, когда основным критерием успешности проекта стало время выхода на рынок и окупаемость, вопрос о подходах к практической реализации алгоритмов в конкретных изделиях встал как нельзя остро.

Чем же характеризуется современное состояние в проектировании аппаратуры ЦОС? Выделим основные изменения с точки зрения элементной базы и подходов к проектированию систем ЦОС:

- Значительное возрастание вычислительной мощности сигнальных процессоров, появление многоядерных архитектур, снижение стоимости и потребляемой мощности.
- Появление ПЛИС эквивалентной емкостью более 1 млн. вентилях, встроенными процессорными ядрами, специализированными аппаратными блоками вычислителей, развитыми интерфейсами [3,4,5].
- Возрастание доступности современных микроэлектронных технологий для разработчика систем. Если еще 6 – 8 лет назад имелись только единичные попытки отечественных компаний выхода на современное субмикронное кремниевое производство, то на данный момент существует огромное число разработок под нормы 0,18 – 0,25 мкм, появились первые отечественные наработки с уровнем 0,13 – 0,09 мкм. Вводятся современные мощности и на отечественных предприятиях (ОАО «НИИ МЭ и завод «Микрон», ОАО «Ангстрем», ФГУП «НИИ ИС им. Седаква» и др.). Такой крен в сторону доступности кремниевых технологий порождает некоторые специфические методы в проектировании, о которых будет рассказано ниже.
- Возрастание сложности и возможностей отладочных средств сигнальных процессоров и средств САПР ПЛИС и СБИС. Практически повсеместным стал отказ от использования ассемблера как основного языка разработки ПМО. Возрастает роль использования современных маршрутов в проектировании аппаратуры [6,7,8,9]. Эти маршруты основаны на использовании языков описания аппаратуры высокого уровня, многокомпонентных наращиваемых сетевых средствах проектирования. Появилась необходимость интеграции разработки программного и аппаратного обеспечения в одном цикле (сопряженное проектирование), средства разработки алгоритмов стали интегрироваться со средствами разработки аппаратуры.

Дан анализ тенденций в развитии методов проектирования систем и аппаратуры ЦОС с учетом современных тенденций развития как массовой, так и специальной электроники с использованием технологий аппаратных платформ. Рассмотрены особенности процесса проектирования с учетом рыночных механизмов. Приведены примеры существующих зарубежных и отечественных аппаратных платформ для верификации СБИС и обработки сигналов, показаны особенности их проектирования.

- Изменилась номенклатура интерфейсов, возросла скорость информационного обмена. Современные последовательные интерфейсы обеспечивают как высокую скорость передачи информации, так и стандартизацию и унификацию этого процесса. Изменились подходы к схемотехническому проектированию и конструированию аппаратуры – возросла роль моделирования целостности сигналов, тепловых режимов, как при проектировании узлов (плат), так и кристаллов СБИС. Налицо значительное увеличение влияния технологии изготовления на процесс проектирования.

Вышеперечисленные особенности являются следствием того, что полупроводниковая промышленность занимает в рыночной мировой экономике уникальное положение: она развивается по детально разработанному плану, который, не только не препятствует конкурентоспособности участников, но даже всемерно помогает ей. Этот план известен как International Technology Roadmap for Semiconductors (ITRS) и представляет собой план-прогноз, ежегодно обновляемый и публикуемый международной организацией Semiconductor Industry Association (SIA). [10,11] В основе ITRS лежат несколько простых принципов, в том числе знаменитый закон Мура об удвоении числа элементов СБИС каждые 1,5-2 года. Закон Мура не отражает никаких фундаментальных законов природы, а лишь описывает ситуацию, складывающуюся на рынке в результате конкуренции между производителями, а также вследствие взаимного стимулирования радиоэлектронной и полупроводниковой отраслей. Огромную роль играет чисто психологический фактор: разработчики и производители стараются придерживаться прогнозных сроков закона Мура и ITRS, потому что знают, что так же действуют конкуренты. Более того, стремление обогнать конкурентов часто приводит к тому, что разработчики создают, а производители выводят на рынок новые изделия раньше, чем это предусмотрено ITRS. В результате в наши дни закон Мура, строго говоря, должен формулироваться иначе, поскольку из экспоненциального он превратился в суперэкспоненциальный. Главное значение ITRS состоит в том, что этот документ не просто прогнозирует динамику параметров, но и содержит точные указания относительно того, какими конструкторскими и технологическими средствами новые параметры могут быть достигнуты, когда и какие

технические средства должны быть разработаны и освоены производством.

Фундаментальным понятием ITRS является "масштабирование" (scaling) - пропорциональное уменьшение всех геометрических размеров ИС в каждом новом поколении, благодаря чему обеспечивается снижение массогабаритных параметров, повышение рабочих и тактовых частот, уменьшение потребляемой мощности и т.д. Каждому "узлу" сетевого графика ITRS соответствует очередное поколение ИС, характеризующееся некоторым линейным параметром, который в ITRS именуется просто "узлом". За величину характеристического размера (XP) данного поколения ИС обычно принимают половину шага между дорожками сигнала в схемах памяти; для микропроцессоров XP определяется как половина шага между поликремниевыми затворами МОП-транзисторов.

С переходом к "узлам" менее 130 нм в конструировании ИС возникли принципиально новые проблемы. Помимо проблем технологического свойства, связанных с тем, что традиционная конструкция МОП-транзистора перестает работать из-за различных паразитных эффектов, проявляющихся в малоразмерных конструкциях, возникли проблемы, связанные с программно-аппаратным и методологическим обеспечением процесса проектирования. Дело в том, что с улучшением проектных норм микроэлектронных изделий возрастает стоимость подготовки производства и, соответственно, цена риска технической и идеологической ошибки.

Так, в настоящее время, средняя стоимость подготовки производства (изготовление фотошаблонов) и выпуск опытной партии в количестве 10 -12 пластин (так называемый «инженерный лот») на фабриках Юго-Восточной Азии (X-fab Sarawak, Silera и т.п.) составляет по технологии 0.18 мкм – 120 000 \$, то стоимость фотошаблонов при проектных нормах 0.13 мкм составляет 350 000 \$, а по технологии 0.09 мкм - около 1 000 000 \$. Очевидно, что при такой динамике, цена ошибки возрастает многократно. Тенденция уменьшения проектных норм в первую очередь связана со стремлением получить как можно больше кристаллов с одной пластины, поскольку стоимость пластины составляет 800 – 1800 долларов, при этом с уменьшением размера кристалла в два раза выход увеличивается в четыре раза. При этом известно, что выход годных кристаллов не зависит от минимального размера, а с уменьшением размеров элементов увеличивается съём кристаллов с пластины, значит, они становятся дешевле.

Таким образом, разработчик массовой аппаратуры оказывается под дамокловым мечом ответственности за принимаемые проектные решения.

Не легче ситуация и в высокотехнологичном, но малосерийном секторе аппаратуры для космической и военной техники. Для этого сегмента рынка характерны:

- Широкая функциональная номенклатура (по данным ESCIES (www.escies.org) – координационного центра Европейского космического агентства по применению электронных компонентов для космических программ порядка 1500 типоминималов).
- Крайне малая серийность (не более 15-100 тыс. шт.), не характерная для магистрального направления развития электронной промышленности.
- Высокие требования к надежности (безотказность, ресурс, сохраняемость).

- Стойкость к воздействию ионизирующих излучений космического пространства и других факторов.
- Расширенный температурный диапазон.
- Необходимость обеспечения длительных сроков безотказной работы (15 лет и более).

Как для массовой, так и для специальной электроники тенденцией последних лет стало жесткое требование по уменьшению срока выхода продукции на рынок. Это накладывает особенно жесткие требования на методологию и средства проектирования, которые должны обеспечить минимум итераций при освоении производства. Значительно возрастает сложность процесса проектирования. При использовании традиционных методов проектирования хороший дизайнер может выполнять проект со средней скоростью порядка 100 вентиля в день или 30 строк RTL кода. В этом случае, чтобы спроектировать СБИС сложностью 100 тыс. вентиля потребуется 1000 человеко-дней, т.е. команда из 5-ти человек сможет разработать такую СБИС в течение года. Следуя данной логике, чтобы разработать сложную СБИС порядка 10 млн. вентиля в течение одного года потребуется команда из 500 человек, что неприемлемо с точки зрения стоимости разработки.

По более точным прогнозам (рис. 1), если при переходе на глубокие субмикронные технологии (0,18 -0,13 мкм) пользоваться существующей методологией проектирования, то стоимость проекта увеличивается до 250 человеко-лет, что неприемлемо для заказчика.

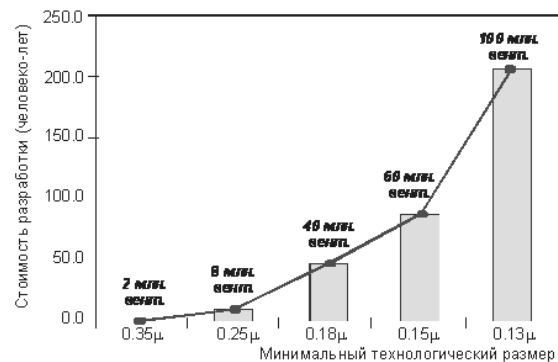


Рис.1. Зависимость стоимости разработки СБИС от технологии (по материалам фирмы Cadence Design Systems)

В последнее время сложилась тенденция постоянного роста доли затрат на разработку программного обеспечения (ПО) РЭА. Если вести разработку ПО и СБИС отдельно, то увеличивается вероятность выявления ошибок на этапах тестирования или эксплуатации всего комплекса аппаратуры.

Можно выделить дополнительно ряд причин, по которым необходимо переходить на новую методологию проектирования:

- в условиях рынка прибыль в значительной степени зависит от времени проектирования;
- такие технические параметры СБИС, как производительность, площадь кристалла и потребляемая мощность являются ключевыми элементами в продвижении товара на рынок;
- увеличение степени интеграции делает задачу верификации качественно более сложной;
- из-за новых особенностей технологии глубокого субмикрона (DSM – Deep Submicron) все труднее удовлетво-

ритель всем требованиям по временным ограничениям (timing);

- команды разработчиков высокоинтегрированных СБИС имеют различный уровень знаний и опыта в области проектирования, и часто при выполнении проектов СБИС расположены в различных частях мира.

Выход из создавшейся ситуации очевиден – необходимо изменить методологию проектирования СБИС. Наиболее перспективным направлением в настоящий момент представляется методология проектирования СБИС типа «система на кристалле» с использованием платформенного принципа организации [12].

Таким образом, становится очевидным общее место двух, казалось бы противоречивых направлений, – необходимость единого методического и программно-аппаратного обеспечения процесса проектирования. Такой подход к разработке мы назовем платформенным принципом проектирования (рис.2)

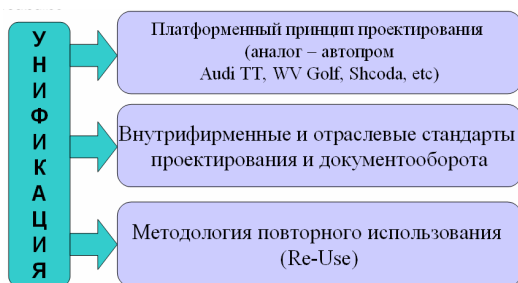


Рис. 2. Платформенный принцип проектирования СБИС и аппаратуры

Как обычно, в современной российской электронике нет четкого определения слову «платформа». В общем случае, в платформах СБИС класса «Система на кристалле» (СНК) должны содержаться, как минимум: процессорное ядро, контроллер памяти, универсальный асинхронный приемопередатчик, таймер, схема обеспечения безопасности, универсальные средства ввода/вывода с открытой шинной архитектурой для связывания всех элементов между собой, например, на базе шины AMBA или Wishbone (рис.3).

Платформенный подход к проектированию предполагает использование единой среды проектирования. Единая среда проектирования «комплекс – аппаратура – компоненты» -это технология создания систем и комплексов на

основе перспективных микроэлектронных технологий с учетом специализации компонентов под решение конкретных целевых задач аппаратуры и комплексов.

Данная технология предусматривает применение методов систематического повторного использования стандартных высокоинтегрированных сертифицированных СФ-блоков и платформенного подхода к проектированию и производству аппаратуры. Характеризуется высокой степенью унификации проектных решений, нормативной базой и возможностью контроля качества на любом этапе разработки, производства и эксплуатации.

Основными преимуществами такого подхода являются:

- значительное сокращение сроков и стоимости разработки сложных систем при сохранении высокой функциональности, за счет использования методологии «систематического повторного использования» IP-блоков и унифицированных аппаратных платформ;
- гибкость при решении нестандартных задач, за счет возможности наращивания физических интерфейсов и программного обеспечения;
- улучшение массогабаритных характеристик аппаратуры, построенной на базе СБИС аппаратных платформ;
- аппаратная верификация алгоритмов на всех стадиях разработки проекта.

Предлагаемая методика проектирования предусматривает инвариантность к используемым библиотекам, обеспечивая возможность миграции проекта. Включение платформ СНК в методологию конструирования имеет несколько преимуществ. Уменьшится риск интеграции, поскольку все СФ-блоки работают вместе, уменьшится время на лицензирование и на составление контракта, поскольку платформа ограничивается одной лицензией и значительно уменьшится стоимость, благодаря повторному использованию содержимого платформы в многочисленных последующих конструкциях.

Важным преимуществом СНК платформ является функциональная изоляция. Компоненты могут быть изолированы друг от друга и проверены. Сама платформа может быть также изолирована от своих компонентов и проверена независимо. Использование платформ помогает вводу конструкции в различные изделия, ввиду встроенной гибкости. При этом требуется минимальный объем «перепроектирования» и меньший объем повторной верификации. Если конструкторский коллектив не имеет ресурсов, времени, кадров для разработки гибкой

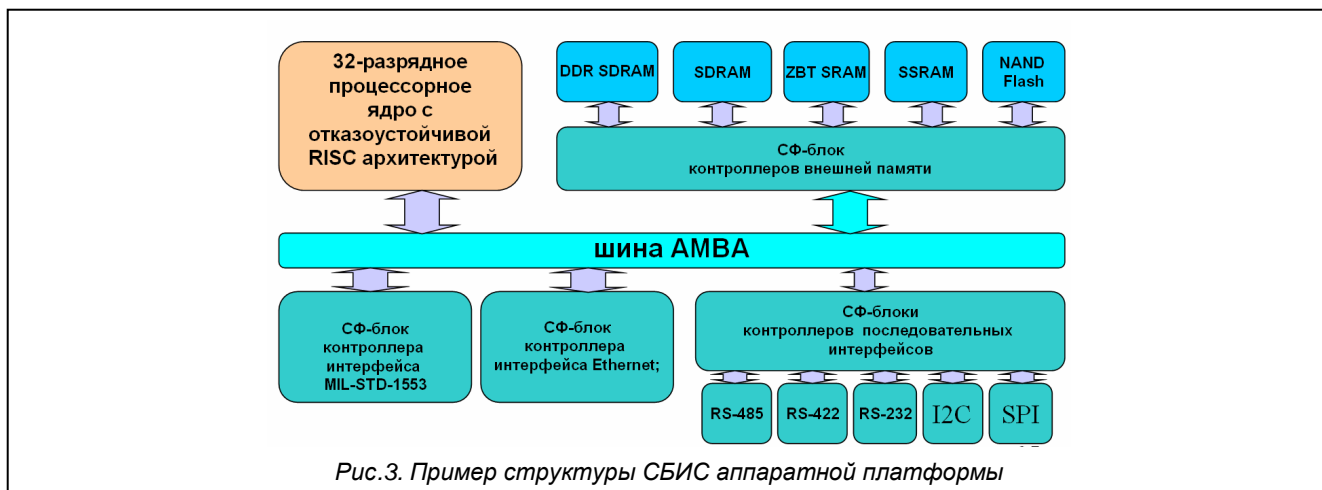


Рис.3. Пример структуры СБИС аппаратной платформы

платформы, он может приобрести необходимый СФ-блок у сторонней фирмы.

Платформенный принцип проектирования СнК является «прорывной» технологией, которая может сократить цикл конструирования на десять – двенадцать месяцев. Как и в случае инструментальных средств САПР, коэффициент окупаемости инвестиций в платформы СнК быстро становится очевидным, и реализация методологии платформ при конструировании представляется конкурентоспособным решением.

Разумеется, при работе с СнК платформами имеются определенные ограничения, связанные со случаями, когда требуются интенсивные модификации или когда требуются чрезмерные усилия по обеспечению конфигурируемости. Сюда могут относиться максимальная и минимальная ширина шины на кристалле, отображение системной памяти, максимальные размеры кристалла и частота, системная задержка. Совмещая концепцию СФ-блока с реконфигурируемой архитектурой и с базовой платформой, становится возможным говорить о реконфигурируемых аппаратных платформах для малосерийных и настраиваемых изделий.

При создании реконфигурируемых платформ также целесообразно использование совместного конструирования аппаратных и программных средств. Платформы могут быть поставлены с уже конфигурируемыми средами разработки, состоящими из сборочных файлов проекта, программ на макроязыке и возможно даже инструментальных средств разработки, таких как компиляторы и устройства отладки. Коды также могут быть предоставлены, начиная от простых процедурных интерфейсов до аппаратных средств, конфигурируемых программ верификации и до полностью отработанной операционной системы реального времени. Это позволяет осуществить разработку структуры программных средств системы и тестирование до интеграции дополнительных СФ-блоков, предназначенных для намеченного рынка.

На мировом рынке аппаратных платформ для верификации уже наметилось несколько лидеров. Одной из первых разработок является персональный эмулятор ZeBu-ZV компании EVE (рис.4) Архитектура ZeBu-ZV позволяет использовать эту платформу как разработчикам аппаратуры, так и разработчикам ПО.

Ресурсы эмулятора представлены логической емкостью до 1.5 миллионов ASIC эквивалентных вентилях, системной памятью объемом 128Мбит и производительностью до 12 MHz. Данная модель является идеальной для верификации отдельных логических блоков, IP блоков, небольших проектов, реализуемых в FPGA или ASIC. Эмулятор реализован в виде стандартной PCI платы, встав-

ляемой непосредственно в настольный PC, обеспечивая возможность интеграции с популярными логическими симуляторами и средствами синтеза. Интерфейс внутрисхемной эмуляции ICEPod позволяет подключить эмулятор к целевой системе или IP ядру с использованием 744 вх/вых контактов. Кроме того, эмулятор имеет возможность подключения популярных программных отладчиков через 16-контактный интерфейс SmartICE или виртуальный JTAG транзактор.

В последнее время одной из актуальных тенденций в проектировании стало построение платформ на базе открытых решений. Примером такого подхода является подход компании SPARC, впоследствии развитый при поддержке Европейского космического агентства в процессорном ядре LEON3 компании Gaisler Research.

Процессор LEON3 компании Gaisler Research

Процессор LEON3 является моделью 32-разрядного процессора, использующего SPARC V8 архитектуру. Ядро процессора хорошо структурировано и хорошо подходит для проектирования "систем на кристалле" (SOC). Ядро связано с помощью интерфейса, использующего AMBA-2.0 APB шину и поддерживающего IP plug&play, обеспеченный в Библиотеке IP Gaisler Research (GRLIB). Процессор может быть эффективно изготовлен и по FPGA, и по ASIC технологиям (технологиям специализированных интегральных схем). Leon3 использует стандартные синхронные ячейки оперативной памяти для обеих кэш-систем и регистрации файла. Архитектура SPARC упрощает раннюю оценку и макетирование процессора. Реализация ядра LEON3 также возможна и в радиационно-устойчивом исполнении для использования в космосе и других высокотехнологичных приложениях.

Архитектура полностью открыта, исходные VHDL коды свободно доступны, возможно их использование без каких либо лицензионных ограничений.

В таблице 1 даны сравнительные характеристики быстродействия процессора и занимаемой площади в зависимости от технологии, по которой произведен синтез.

LEON3 - 32-разрядный процессор, основанный на SPARC V8 архитектуре. Он использует расширенный пятитактный конвейер (архитектура Гарварда). Процессор поддерживает полную SPARC V8 систему команд, включая команды перемножения, деления и перемножения с накоплением. Дополнительный IEEE-754 модуль с плавающей запятой обеспечивает поддержку операций с плавающей запятой с одинарной и двойной точностью. Кэш-система поддерживает мультимножества с 4 наборами по 256 Кбайт в наборе.



Рис.4. Персональный эмулятор ZeBu-ZV компании EVE

Таблица 1.

Реализация	Ресурсы (Площадь, число лог. элементов)	Быстродействие
Atmel 0.18 CMOS std-cell	35K gates + RAM	165 MHz
Atmel 0.25 CMOS std-cell	33K gates + RAM	140 MHz
UMC 0.25 CMOS std-cell	35K gates + RAM	130 MHz
Atmel 0.35 CMOS std-cell	2 mm ² + RAM	65 MHz
Xilinx XC2V3000-6	5,000 LUT + block RAM	80 MHz
Altera 20K200C-7	5,700 LCELLs + EAB RAM	49 MHz
Actel AX1000-3	7,600 cells + RAM	48 MHz
Siltera 0.18 mkm	~0.5мм ²	239.5 MHz
ПЛИС XC2V1000-4	99%	50МГц

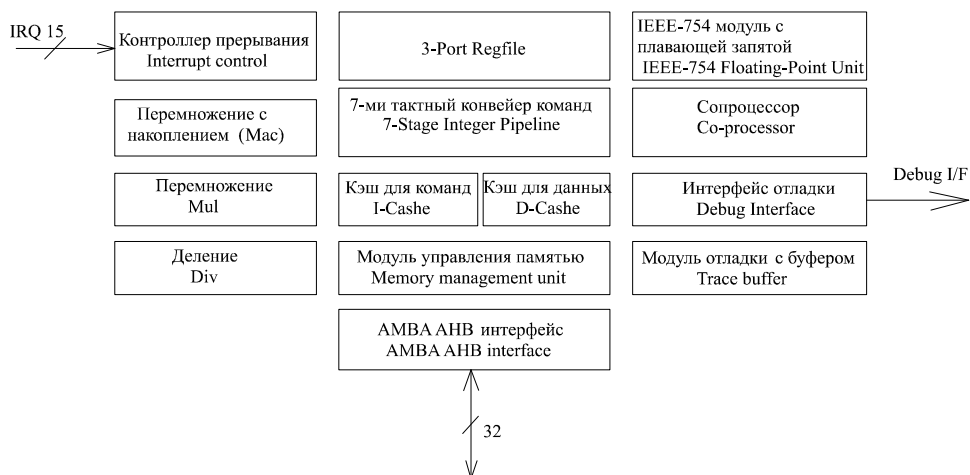


Рис.5. Структура базового процессора.

Конструктивно LEON3 включает в себя: отдельный командный Кэш и Кэш данных, аппаратный перемножитель и делитель, контроллер прерываний, модуль отладки с буфером, два 24-битных таймера, два универсальных асинхронных приемопередатчика, систему безопасности, 16-битный порт I/O (ввода/вывода), гибкий контроллер памяти, поддержку Ethernet порта, интерфейс PCI (32-разрядная шина с возможностью расширения до 64-разрядов, взаимодействие через которую происходит без участия CPU), поддержку шины AMBA.

Функционально LEON3 состоит из следующих модулей (рис. 5): модуля целочисленных вычислений, модуля вычислений с плавающей точкой, системы Кэш-памяти, модуля управления памятью, модуля поддержки отладки, интерфейса памяти (ПЗУ-PROM, статическая ОЗУ-SRAM, синхронная динамическая ОЗУ-SDRAM), двух 24-битных таймеров, контроллера прерываний, параллельного 32-битного порта ввода/вывода, шины AMBA (AHB и APB), Ethernet.

Ядро базового процессора (конвейер, контроллеры кэш-памяти и интерфейс AHB) использует приблизительно 20 000 вентилях и может быть реализован как на специализированных интегральных схемах, так и по технологии FPGA. На технологии в 0.13 мкм может быть достигнута тактовая частота, превышающая 400МГц.

Для аппаратной верификации систем на базе процессора LEON существуют аппаратные платформы компаний Surrey Space Centre и Astrium SAS.

Начинает формироваться и отечественный сегмент средств аппаратной верификации. Компанией НПП «Цифровые решения» разработано семейство цифро-

вых аппаратных платформ для решения задач обработки высокоскоростных сигналов (включая видео), задач передачи данных и макетирования различного рода процессов, в том числе и «прототипирования» СБИС.

Платформа DS-M-1000

Цифровая вычислительная платформа DS-M-1000 выполнена на шестислойной печатной плате, с размещенной на ней ПЛИС XILINX VIRTEX2 1000 (1 млн. вент.). На плате установлены два банка быстродействующей SSRAM памяти суммарным размером 4 Мбайта, работающие на частоте 165 МГц. Разрядность шины данных 36 бит.

Для высокоскоростной передачи данных на плате предусмотрены два интерфейса: 64-разрядная параллельная шина данных и приёмо-передатчик ETHERNET. Параллельная шина данных может быть использована как одна или как несколько параллельных шин данных нужной разрядности; каждый сигнал шины может также использоваться как линия с последовательной передачей данных. Порт ETHERNET реализован на трансивере AM79C874VI фирмы AMD и обеспечивает скорость приёма и передачи данных 100 Мбит/с (FAST ETHERNET).

Структурная схема вычислительной платформы DS-M-1000 представлена на рис.6, а фотография внешнего вида – на рис.7

Отличительной особенностью, платформы DS-M-1000 является возможность работы с цифровым видеосигналом, для чего на плате установлены две микросхемы видеокодеков (ADV202, фирмы ANALOG

DEVICES), обеспечивающие аппаратную компрессию или декомпрессию видео информации. Каждая микросхема может выполнять как функции сжатия (с регулируемым коэффициентом), так и функцию декомпрессии.

Функции контроля и функции отладки позволяет выполнять микросхема ПЛИС CPLD XILINX Cool Runner XCR3256-XL, установленная на плату. С помощью неё можно осуществлять перезагрузку основной ПЛИС, выполнять чтение и анализ контрольных сигналов основной ПЛИС и выводить индикационную информацию на двухразрядный светодиодный дисплей. На плате имеется контроллер датчика температуры, встроенный в ПЛИС VIRTEX, опрашивая который, можно получать текущую температуру кристалла ПЛИС.

На базе платформы DS-M-1000 проведена аппаратная верификация СБИС контроллера FLASH памяти с возможностью аппаратной реализации алгоритмов защиты информации. Данная СпК разрабатывалась с целью создания контроллера для поддержки больших массивов FLASH памяти (от 256Мбайт до 8Гбайт), а также с возможностью передачи данных из или в FLASH с высокой скоростью. В контроллере поддержан командный интерфейс SCSI, предназначенный для использования в промышленных системах сбора и хранения данных.

Дальнейшее развитие аппаратных платформ для верификации СБИС и обработки сигнала будет рассмотрена во второй части статьи, публикация которой планируется в очередном номере журнала.

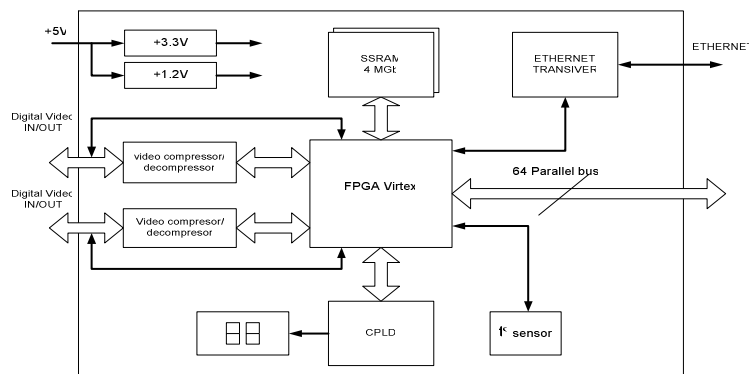


Рис.6. Структурная схема цифровой вычислительной платформы DS-M-1000

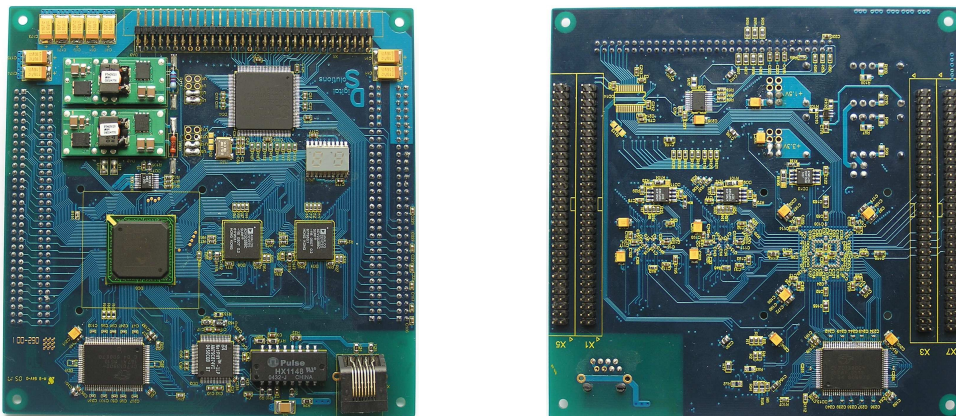


Рис.7. Внешний вид цифровой вычислительной платформы DS-M-1000.

Литература

1. В.Б.Стещенко, Губанов Д.А. «Методология реализации алгоритмов цифровой фильтрации на основе программируемых логических интегральных схем Сборник докладов 1-й Международной конференции «Цифровая обработка сигналов и ее применения» 30.06-3.07.1998, Москва, МЦНТИ, том 4
2. Губанов Д.А., Стещенко В.Б., Храпов В.Ю., Шипулин С.Н. Перспективы реализации алгоритмов цифровой фильтрации на основе ПЛИС фирмы ALTERA. // Chip News, № 9-10, 1997, с. 26–33.
3. www.dsol.ru
4. Стещенко В.Б. Оценка производительности новых семейств ПЛИС Altera для применения в системах связи с ОФДМ, Цифровая обработка сигналов №3, 2005
5. Стещенко В.Б. Алгоритмы цифровой обработки сигналов: реализация на ПЛИС, Электронные компоненты за 2006 г., №6
6. В.Б.Стещенко. EDA. Практика автоматизированного проектирования

радиоэлектронной аппаратуры. — М.: «Нолидж», 2002. — 768 с., ил.

7. В.Б.Стещенко. «Проектирование аппаратуры цифровой обработки сигналов на ПЛИС с использованием языка описания аппаратуры VHDL» Цифровая обработка сигналов, №1, 2001
8. А. А. Стемпковский, В. А. Шепелев, А. В. Власов, «Системная среда САПР БИС», Наука, 1994 г.
9. А. В. Бухтеев, «Методы и средства проектирования систем на кристалле», Chip news, 2003 г., №4, стр. 4-14.
10. R. Doering, Y. Nishi, «Limits of integrated circuit manufacturing», Proceedings of the IEEE, v. 89, №3, p. 375-393, 2001.
11. R. E. Bryant, K.-T. Cheng, A. B. Kahng, et al., «Limitations and challenges of computer-aided design technology for CMOS VLSI», Proceedings of the IEEE, v. 89, №3, p. 341-362, 2001.
12. H. Chang, L. Cooke, M. Hunt, et al., «Surviving the SOC revolution: A guide to platform-based design», Norwell, MA: Kluwer, 1999.