

КОНВЕЙЕРНАЯ ОБРАБОТКА РАДИОЛОКАЦИОННЫХ СИГНАЛОВ

Кашин В.А., Кузин А.А., Рындык А.Г.

Введение

Первичная обработка сигнала в РЛС может быть условно разделена на два этапа: увеличение отношения сигнал/шум и обнаружение сигнала с измерением его параметров.

Обработка первого этапа включает фильтрацию, подавление различного вида помех, амплитудное детектирование, межпериодное накопление и т.п., при этом над каждым элементом входных данных выполняется достаточно большое число арифметических операций – обработка имеет потоковый характер. Алгоритмы такой обработки, как правило, линейны, но требуют большой производительности вычислительного устройства.

Обработка второго этапа тоже частично имеет потоковый характер – решается задача обнаружения, но большая часть обработки более "интеллектуальна" – измерение параметров производится избирательно и т.д. Алгоритмы имеют более ветвящуюся структуру, обращения производятся к непоследовательным элементам данных и т.п., при этом требования к производительности вычислителя значительно ниже, чем на первом этапе.

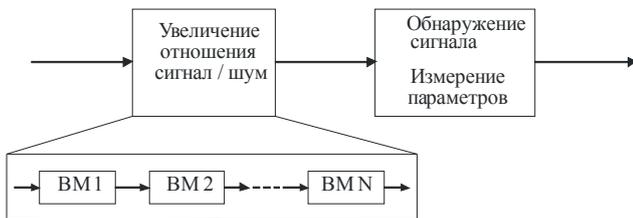


Рис.1. Первичная обработка сигнала

Для первого этапа обработки наиболее подходящим является использование ПЛИС, структура которой представляет собой конвейер из вычислительных модулей ВМ, реализующих отдельные функции обработки (рис.1). Реализация второго этапа может быть выполнена с использованием сигнальных процессоров.

При проектировании вычислительного конвейера необходимо учитывать следующие требования:

- совместная обработка данных нескольких каналов, физически расположенных на разных модулях;
- синхронизация с внешними сигналами управления, динамически изменяющимися некоторые алгоритмы обра-

Рассмотрена многомодульная реализация цифровой обработки радиолокационных сигналов. Предложена структура обработки, представляющая собой стробируемый конвейер из тестируемых вычислительных модулей, реализующих функционально законченные операции обработки сигнала: фильтрацию, подавление несинхронных импульсных помех и т.п.

ботки;

- программное управление параметрами обработки;
- тестируемость и измерение параметров непосредственно в процессе эксплуатации;
- большой динамический диапазон обрабатываемого сигнала.

Стробируемый конвейер

Вычислительные модули конвейера реализуют функционально законченные операции обработки сигнала: фильтрацию (и, если требуется, децимацию), согласованную фильтрацию, подавление несинхронных импульсных помех, подавление сигнала боковых лепестков, адаптивную компенсацию помех и т.п. Вычисления реализуются параллельно в нескольких приемных каналах, причем часть обработки в каналах производится независимо, а с некоторого шага алгоритма – совместно. Для организации совместной обработки необходимо организовать взаимный обмен данными между вычислительными конвейерами, расположенными на различных модулях.

Централизованное управление большими вычислительными конвейерами "со сцеплением"[2] представляет серьезные трудности. Более гибким представляется стробируемый конвейер (рис.2), каждый ВМ которого содержит кроме блока арифметических операций (БАО) локальное устройство управления (ЛУУ). Запуск вычислений осуществляется в момент поступления входных данных на БАО по специальному сигналу стробирования Stb . По завершении вычислений результат фиксируется в выходном регистре БАО, и ЛУУ выдает сигнал готовности данных Rdy , который используется для запуска следующего ВМ конвейера. При этом задержка результата в каждом ВМ (T_{PD}) незначительна, единственное условие – она не должна превышать период поступления входных отсчетов T_S .

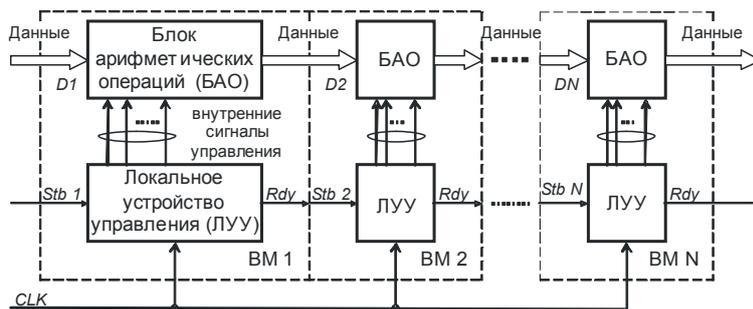


Рис.2. Стробируемый конвейер

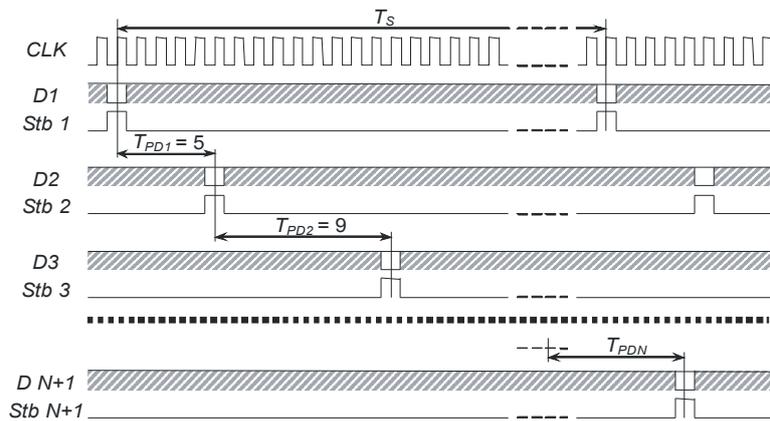


Рис.3. Диаграмма работы стробируемого конвейера

В настоящее время в системах ЦОС радиолокационных сигналов входной узкополосный сигнал обычно дискретизируется на несущей частоте. После переноса спектра на нулевую частоту, фильтрации и децимации отсчеты комплексной огибающей поступают в вычислительный конвейер с частотой в десятки раз ниже, чем тактовая частота ПЛИС CLK. Это позволяет внутри вычислительного модуля выполнять несколько арифметических операций за период поступления отсчетов и использовать итерационные алгоритмы типа CORDIC.

Иллюстрация работы стробируемого конвейера приведена на рисунке 3. Штриховкой показаны безразличные состояния шин данных.

Все ВМ такого конвейера могут синхронизироваться одной тактовой частотой – внутренним сигналом CLK, для реализации вычислителя идеально подходит ПЛИС FPGA, содержащая большое количество логических элементов с синхронными триггерами.

Из рис. 3 виден главный недостаток такой вычислительной структуры – низкая загрузка ВМ. Очевидно, что максимальная загрузка ВМ достигается при $T_{PD1} = T_{PD2} = \dots = T_{PDN} = T_s$, а максимальная производительность всего конвейера – при $T_{PD1} = T_{PD2} = \dots = T_{PDN} = T_s = 1$.

Однако, такая логическая организация конвейера позволяет легко наращивать число ВМ, а также исключать ВМ из цепочки обработки без модификации оставшихся блоков, поскольку все ВМ независимы по управлению. Для организации согласованной работы нескольких конвейеров в любой разрыв цепочки ВМ могут добавляться специальные блоки, обеспечивающие обмен данными между конвейерами и синхронизацию их работы (назовем их блоки синхронизации БС). На рис.4 показано сцепление двух конвейеров с использованием двух блоков синхронизации, при этом БС1 обеспечивает двунаправленный обмен данными, БС2 – передачу данных со второго конвейера на первый. Вычислители располагаются в различных ПЛИС FPGA1 и FPGA2.

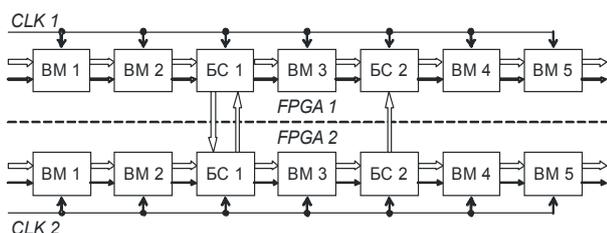


Рис.4. Сцепление стробируемых конвейеров

Синхронизация обработки

Порядок вычислений в некоторых ВМ конвейера изменяется в зависимости от внешних по отношению к ВМ управляющих сигналов. Например, опорный импульс ОИ (импульс запуска РЛС), интервал настройки коэффициентов в автокомпенсаторах и т.п. – некоторые временные стробы ВС. Временные стробы могут быть как внешними, формируемыми аппаратно, так и программно-управляемыми. Как правило, они имеют логические уровни сигналов и формируются относительно некоторого опорного импульса (в нашем случае – импульса запуска РЛС).

Если временные стробы управляют работой только ВМ1 в конвейере – проблем нет. Если управление осуществляется промежуточным ВМ, приходится учитывать задержки предыдущих ВМ конвейера и вносить соответствующие задержки в стробы. В случае, если временной строб управляет несколькими ВМ конвейера (например, ОИ), приходится формировать несколько копий временного строба с различными задержками. При внесении изменений в структуру конвейера или изменении T_{PD} блоков требуется корректировать все временные стробы.

Система ЦОС – это система дискретного времени, вследствие этого:

- в системе отсутствует абсолютное время, а существует лишь время относительное (нормированное), выраженное через номера отсчетов N;
- любой временной интервал может быть представлен с точностью до периода дискретизации T_s , иными словами, как разность номеров отсчетов.

Исходя из этого, при проектировании системы необходимо фиксировать логические значения временных стробов в моменты дискретизации входных аналоговых сигналов (моменты выборок АЦП) и приписывать полученные коды каждому отсчету. Таким образом, каждый отсчет снабжается набором признаков (MARKS), которые передаются по конвейеру вместе с самим отсчетом. На рис. 5 показано формирование и передача между ВМ признаков, состоящих из опорного импульса ОИ, внешнего аппаратного строба ВС1 и программно-формируемого строба ВС2.

Признаки MARKS образуют канал управления и передвигаются по конвейеру синхронно с данными. Впоследствии к временным стробам добавляются признаки

переполнения в АЦП, некоторые специфичные признаки обработки и т.п. Для организации такого канала в структуре каждого ВМ добавлено по два регистра (входной и выходной) для признаков.

Фактически признаки – это условия ветвления управляющего автомата ЛУУ. При обработке в ВМ отсчет может дополнительно снабжаться признаками, влияющими на работу последующих ВМ в цепочке конвейера.

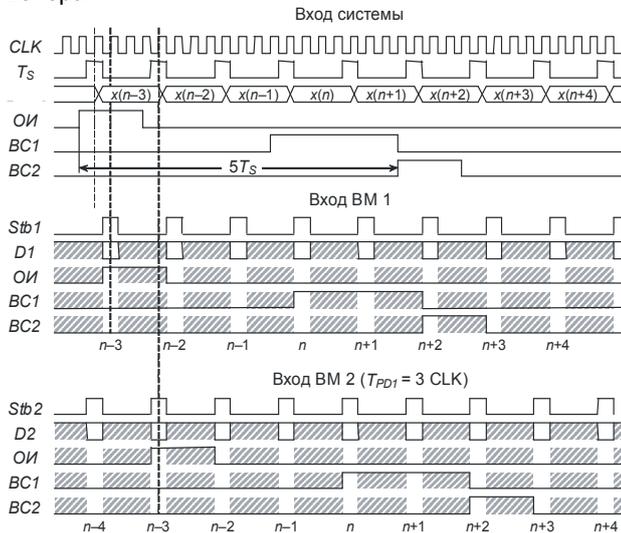


Рис.5. Формирование и передача признаков

Такой подход к синхронизации конвейера позволяет избежать централизованного управления сложной вычислительной системой. Поскольку признаки в ВМ задерживаются вместе с данными на время T_{PD} , при добавлении или исключении ВМ из конвейера не требуется никаких модификаций в управлении.

Программное управление

Многие ВМ конвейера требуют программируемых параметров – это коэффициенты фильтров, коэффициенты регулировки ОС в автокомпенсаторах и т.п. Для этих целей каждый ВМ содержит набор регистров параметров или ОЗУ параметров, запись данных в которые производится с разделяемой шины, проходящей по всем ВМ конвейера. Управление записью осуществляет блок интерфейса с процессором.

Тестирование

На начальных стадиях работы над проектом должны быть выделены следующие этапы тестирования, различающиеся целями, полнотой и моментами применения:

- тестирование при проектировании, включающее измерения параметров разработанного устройства (например, коэффициентов подавления помех);
- тестирование в производстве (заводские испытания);
- тестирование в процессе эксплуатации и измерения некоторых параметров системы, в которую встраивался блок ЦОС.

Тестирование на этапе разработки конфигурации ПЛИС – самый полный и трудоемкий этап, целью которого является выявление дефектов проекта и доведение параметров обработки до требуемых. Для измере-

ния параметров устройства возникает необходимость доступа к различным точкам обрабатывающего конвейера.

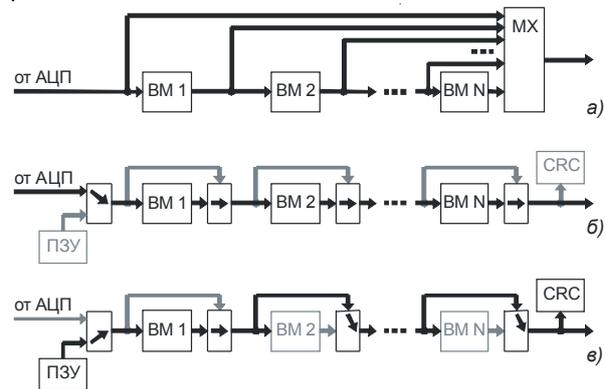


Рис.6. Модификация конвейера для тестирования: -а) с подключением к выходу системы выходов различных блоков, б) штатный режим работы конвейера (в обработке участвуют все модули), в) один из тестовых режимов (данные на выход конвейера передаются с выхода ВМ1, все последующие блоки находятся в режиме BYPASS).

Очевидным решением является введение в схему мультиплексора МХ (рис. 6, а), подключающего к выходу системы выходы различных блоков (контрольные точки). Однако, реализация такой схемы в ПЛИС потребует большого числа длинных параллельных каналов передачи данных, что в конечном итоге может значительно снизить быстродействие всего устройства.

Возможным решением является введение мультиплексоров на выходе каждого ВМ, с тем, чтобы организовать путь обхода вычислителя. Таким образом, появляется режим работы ВМ *BYPASS* (обход), в котором данные с входа ВМ передаются на его выход. В этом режиме задержка T_{PD} составляет 1 такт CLK , но как было сказано ранее, схема стробируемого конвейера не критична к величине указанной задержки. На рис. 6 показаны варианты использования режима *BYPASS*.

Для формирования входных воздействий в тестовых режимах на входе устройства должно быть добавлено ПЗУ, которое заменяет сигнал входного АЦП. Записанная в ПЗУ реализация детерминированного сигнала всегда приводит к детерминированной выходной последовательности отсчетов на выходе любого ВМ конвейера. Это позволяет установить на выходе конвейера блок *CRC* для подсчета циклической контрольной суммы по массиву данных. Контрольные суммы используются для быстрой проверки работоспособности устройства при заводских испытаниях.

Введение в конвейер режима *BYPASS* и независимость ВМ по данным и управлению позволяют сосредоточить усилия на верификации отдельных ВМ и отказаться от средств тестирования на основе JTAG интерфейса (встраиваемых логических анализаторов), поскольку в качестве анализатора используется инструментальная ЭВМ, принимающая поток данных с любого ВМ конвейера. Отладка полного конвейера может проводиться на реальном устройстве, а верификация отдельных ВМ – с помощью средств САПР (временная симуляция).

Тестирование ВМ лучше всего проводить средствами САПР по стандартному алгоритму – формирование входного вектора тестовых воздействий, вычисление выходных реакций ВМ на входной вектор, далее временное моделирование схемы и сравнение полученных результатов моделирования с рассчитанным вектором реакции. В случае полного совпадения результатов расчета и моделирования проектирование ВМ может считаться завершенным.

Верификация отдельных ВМ со сложной организацией вычислений (например, адаптивный компенсатор помех) представляет определенные трудности. Вектор входных воздействий для таких ВМ имеет большую размерность (несколько тысяч отсчетов) и формирование его должно быть автоматизировано. Еще большую трудность представляет расчет реакции ВМ на тестовое воздействие с учетом погрешностей внутренних арифметических операций в ВМ (таких, например, как округление).

Для формирования входных воздействий и расчета реакций в пакете MATLAB необходимо создать модели вычислительных операций каждого ВМ, учитывающие форматы операндов. Внутренние переменные моделей должны быть эквивалентны внутренним регистрам ВМ, что позволяет ускорить процесс верификации блоков проекта.

После отладки всего проекта по тестовому сигналу из ПЗУ могут быть вычислены и зафиксированы контрольные суммы для различных режимов работы конвейера.

Целью тестирования в производстве является быстрая проверка функционирования устройства. На этом этапе конфигурация ПЛИС остается неизменной, а неправильная работа устройства может быть связана только с производственными дефектами. Для проверки используются контрольные суммы, совпадение их значений с зафиксированными ранее гарантирует работоспособность устройства и соответствие его параметров заданным.

В процессе эксплуатации устройства проверка может производиться по контрольным суммам, а измерения параметров системы – с помощью специального программного обеспечения.

Структура вычислительного модуля

С учетом приведенных ранее рассуждений была получена структура вычислительного модуля, показанная на рис. 7. Структура БАО может быть выполнена по

принципу конвейера. Мультиплексор М позволяет контролировать промежуточные вычисления в конвейере.

На рис. 7: РГ – регистры, М – мультиплексор данных, ЛУУ – локальное устройство управления, БАО с ПТ – блок арифметических операций с плавающей точкой.

Применение арифметических операций с плавающей точкой желательно выбрать по двум причинам:

- большой диапазон представления операндов (а значит и большой динамический диапазон сигнала, который может быть обработан);
- возможен компактный формат представления комплексных данных в форме с плавающей точкой.

Арифметика плавающей точки

Возможный формат комплексных операндов с плавающей точкой, упакованных в 32-разрядное слово, представлен на на рис. 8 [1].

| | | | | |
|---------|----|-----------|----|-----------|
| Exp (6) | SR | F_RE (12) | SI | F_IM (12) |
|---------|----|-----------|----|-----------|

Рис. 8. Формат комплексного операнда с ПТ

Формат имеет структуру, состоящую из пяти полей:
Exp – экспонента (порядок) комплексного числа, целое со знаком в дополнительном коде;
SR – знак действительной части комплексного числа;
F_RE = *R*[11..0] – дробная часть мантииссы действительной части комплексного числа;
SI – знак мнимой части комплексного числа;
F_IM = *I*[11..0] – дробная часть мантииссы мнимой части комплексного числа.

Величина комплексного числа *X* определяется следующей формулой:

$$X = (Re + jIm) * 2^{Exp}, \text{ где}$$

$$Re = -SR * 2^0 + R[11] * 2^{-1} + \dots + R[0] * 2^{-12};$$

$$Im = -SI * 2^0 + I[11] * 2^{-1} + \dots + I[0] * 2^{-12}.$$

Число считается нормализованным, если *R*[11] ≠ *SR* или *I*[11] ≠ *SI*.

Диапазоны значений нормализованных чисел:
 положительных $2,3283 \times 10^{-10} \dots 2,14696 \times 10^{+9}$;
 отрицательных $-2,14748 \times 10^{+9} \dots -2,32944 \times 10^{-10}$.

Для корректного выполнения операций сложения/вычитания может быть введен специальный код нуля с ПТ:

$$Exp = -32, Re = 0, Im = 0 \text{ (код } 0x8000 \text{ } 0000).$$

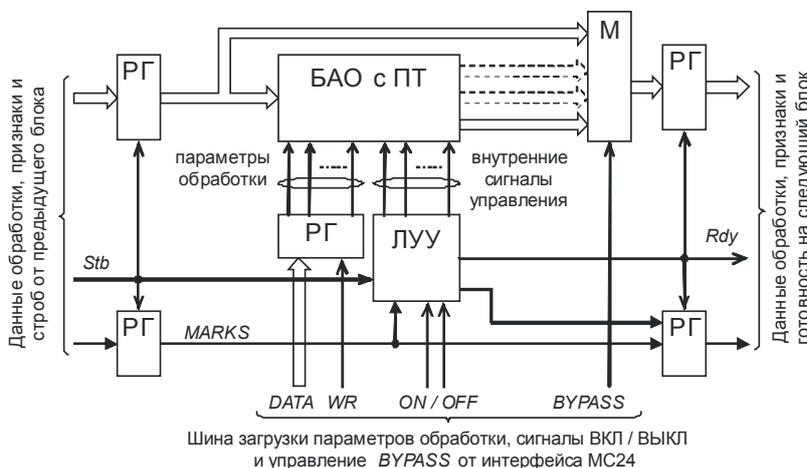


Рис. 7. Структура вычислительного модуля

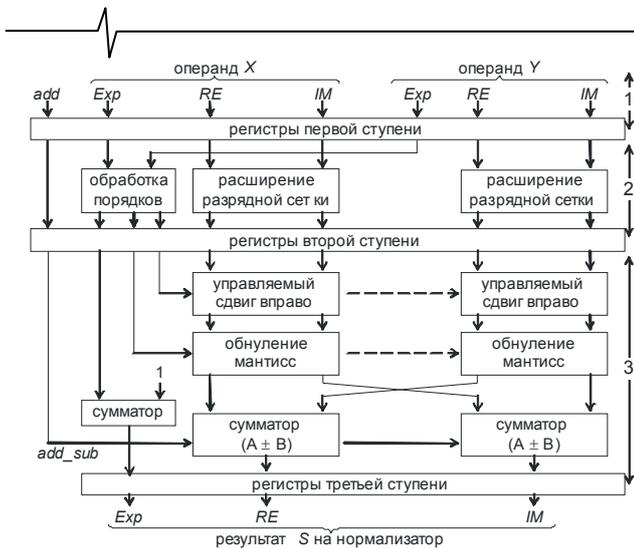


Рис. 9. Блок сложения/вычитания комплексных операндов с ПТ

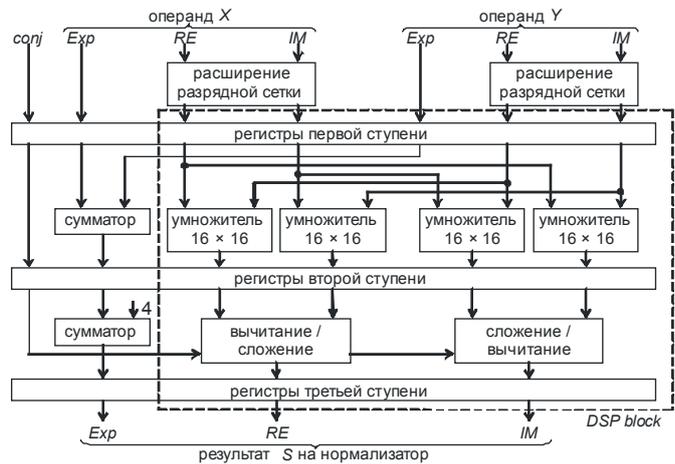


Рис. 10. Блок умножения комплексных операндов с ПТ

В процессе работы над реальным проектом была создана библиотека арифметических модулей для комплексных чисел в указанном формате, которая включала блоки сложения/вычитания, умножения, тригонометрические функции и некоторые другие. Реализация большинства арифметических модулей конвейерная.

На рис.9 и рис. 10 показаны структуры блоков сложения/вычитания и умножения. Первый блок построен на логических элементах, основой второго является специальный DSP блок, входящий в состав ПЛИС.

Результаты вычислений поступают на специальные блоки, осуществляющие преобразование чисел с ПТ в нормализованную форму (нормализаторы). Особенностью нормализации чисел приведенного формата является совместный анализ двух мантисс. Определяется количество разрядов слева, совпадающих со знаком, для обеих (действительной и мнимой) мантисс. Наименьшее из значений определяет величину сдвига мантисс влево и величину коррекции порядка.

Заключение

Описанный стролируемый конвейер на основе арифметических блоков с ПТ был реализован в двухканальной системе обработки сигналов, разработанной для одного из радиолокационных комплексов. Каждый из конвейеров содержал 14 вычислительных модулей и 3 блока синхронизации, обеспечивающих обмен данными между конвейерами.

В проектируемой системе не требовалось обеспечивать 100% вычислительную загрузку ВМ. Производи-

тельность различных ВМ колебалась от 10 до 85% от максимальной, даже при этих условиях была достигнута производительность каждого конвейера около 4500 MFLOPS (при тактовой частоте ПЛИС 150 МГц). При этом производительность, например, согласованного фильтра, была не менее 900 MFLOPS, что составляло около 50% от максимальной.

К недостаткам выполненного проекта можно отнести неэкономное использование ресурсов ПЛИС, хотя для современных ПЛИС это вполне допустимо (проект использовал около 60%).

Принцип организации конвейера в виде цепочки автономных по управлению вычислительных модулей позволил легко модифицировать схему и значительно упростил процесс отладки.

Применение для обработки чисел с ПТ увеличило диапазон представляемых сигналов примерно до 350 дБ, что эквивалентно целочисленной обработке с разрядностью операндов 64 бита.

Конвейер может быть реализован не только в одной ПЛИС, а разбит на несколько частей (например, по количеству ВМ), каждая из которых проектируется как отдельная ПЛИС.

Литература

1. V.G. Oklobdzija, D.Villeger, T. Soulas/ A Integrated Multiplier for Complex Numbers. – Journal of VLSI Signal Processing, 7, 213-222 (1994)
2. Компьютеры на СБИС: В 2-х кн. 2: Пер. с япон./ Мотоока Т., Хорикоси Х., Сакаути М. и др. – М.: Мир, 1988. – 336 с., ил.