

ИНТЕРФЕЙСЫ МУЛЬТИПРОЦЕССОРНЫХ СИСТЕМ НА ОСНОВЕ ВЫСОКОПРОИЗВОДИТЕЛЬНЫХ ПРОЦЕССОРОВ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ

Букварев Е.А., м.н.с. кафедры «Информационные радиосистемы» Нижегородского государственного технического университета им. Р.Е. Алексева, e-mail: bukwarev@nntu.nnov.ru;

Кузин А.А., доцент кафедры «Информационные радиосистемы» Нижегородского государственного технического университета им. Р.Е. Алексева, e-mail: kuzin_alex@nntu.nnov.ru;

Рябков А.П., м.н.с. кафедры «Информационные радиосистемы» Нижегородского государственного технического университета им. Р.Е. Алексева, e-mail: ryabkov.andrey@mail.ru.

INTERFACES OF MULTIPROCESSOR SYSTEM BASED ON HIGH-PERFORMANCE DIGITAL SIGNAL PROCESSORS¹

Bukvarev E.A., Kuzin A.A., Ryabkov A.P.

Realization of interfaces PCI Express and Ethernet for multiprocessor system based on high-performance digital signal processors designed and produced by JSC PPK Milandr is considered. The selection of chip elements, protocols and packet design, resources distribution and software structure are described.

Key words: digital signal processor, multiprocessor system, integrated module, FPGA, interface PCI Express, interface Ethernet.

Ключевые слова: цифровой сигнальный процессор, мультипроцессорная система, интегрированный модуль, ПЛИС, интерфейс PCI Express, интерфейс Ethernet.

Введение

В настоящее время мультипроцессорные устройства широко используются в радиосвязи, радиолокации, в системах цифровой обработки изображений и речевых сигналов, в системах управления различными комплексами. При этом невозможно представить современное мультипроцессорное устройство без возможности подключения к персональной ЭВМ (ПЭВМ). Мультипроцессорная система обязательно должна быть обеспечена интерфейсом для связи с ПЭВМ, чтобы оператор ПЭВМ имел возможность загружать в мультипроцессорную систему исполняемые программы, отправлять данные на обработку и получать результаты вычислений.

Требуется реализовать поддержку интерфейсов PCI Express и Ethernet для многопроцессорного интегрированного модуля (ИМ) [1, 2] на основе высокопроизводительных процессоров цифровой обработки сигналов (ВПЦОС) [3, 4], разработанных ЗАО «ПКК Миландр».

Интегрированный модуль выполнен по мезонинной технологии (см. рис. 1): к несущей плате можно подключить до пяти плат-субмодулей. Каждый субмодуль со

Рассмотрена реализация интерфейсов PCI Express и Ethernet для многопроцессорной системы на основе высокопроизводительных процессоров цифровой обработки сигналов, разработанных и производимых ЗАО «ПКК Миландр». Описан выбор элементной базы, разработаны протоколы и форматы пакетов для обмена данными, рассмотрено распределение ресурсов мультипроцессорной системы, приведена структура программного обеспечения.

держит четыре ВПЦОС, блок синхронной динамической памяти SDRAM объемом 256 МБ, постоянное запоминающее устройство Flash объемом 64 МБ, а также температурный монитор для измерения температуры кристалла каждого ВПЦОС. Процессоры и память на субмодуле объединяются системной шиной.

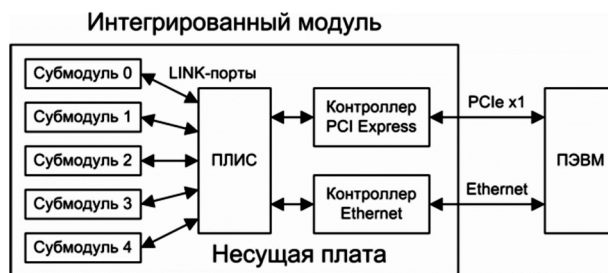


Рис. 1. Структурная схема ИМ

На несущей плате размещена интерфейсная ПЛИС, которая является связующим звеном между субмодулями и ПЭВМ. Для связи ПЛИС с субмодулями предусмотрено два LINK-порта [3] на каждый субмодуль. То есть два из четырех ВПЦОС, входящих в субмодуль, имеют прямую связь с интерфейсной ПЛИС через LINK-порт.

Необходимо выбрать элементную базу для реализации интерфейсов с учетом следующих требований: ИМ должен работать в промышленном (Industrial) диапазоне температур; количество компонентов желательно мини-

¹ Работа выполнена при поддержке Министерства образования и науки РФ в рамках договора № 02.G25.31.0061 от «12» февраля 2013 года (в соответствии с Постановлением Правительства Российской Федерации от 9 апреля 2010 г. № 218).

мизировать, так как площадь для монтажа на несущей плате ИМ ограничена.

Строгих требований по пропускной способности нет, поэтому можно ограничиться простой конфигурацией интерфейсов.

Наконец, требуется разработать программное обеспечение для ПЛИС, обеспечивающее надежный канал связи между ПЭВМ и ИМ.

Выбор элементной базы

Будем делать выбор элементной базы, исходя из возможностей современных ПЛИС.

Некоторые современные ПЛИС имеют встроенный блок конечной точки PCI Express (PCI Express Endpoint Block) [5], что позволяет реализовать интерфейс непосредственно на ПЛИС без необходимости применения дополнительных компонентов.

На рис. 2 показаны варианты реализации интерфейса Ethernet. Как видно на рис. 2, все контроллеры разделены на две большие группы – с поддержкой протокола TCP и без поддержки. Использование протокола TCP желательно с целью облегчения задачи организации взаимодействия между ПЭВМ и ИМ на программном уровне.

Для варианта реализации с поддержкой протокола TCP подходят микропроцессор 1986BE1T производства ЗАО «ПКК Миландр», а также контроллер W5300 [6] фирмы WIZnet. Микропроцессор имеет встроенный контроллер Ethernet, а стек протоколов TCP/IP можно реализовать программно. Контроллер W5300 представляет собой аппаратную реализацию стека протоколов от физического (PHY) до транспортного (TCP/IP).

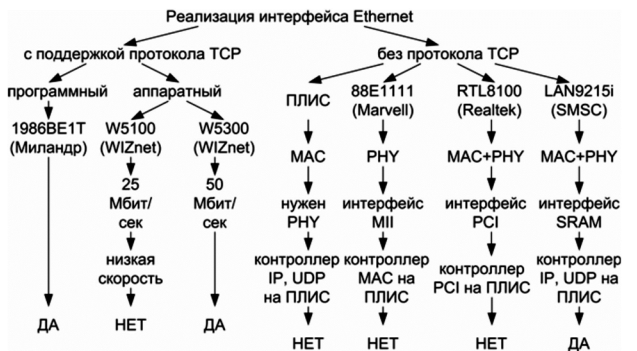


Рис. 2. Варианты реализации интерфейса Ethernet

Для варианта реализации без поддержки протокола TCP подходит контроллер LAN9215i, так как включает в себя MAC и PHY подуровни интерфейса Ethernet, а также позволяет достаточно просто организовать взаимодействие с ПЛИС. Однако в данном случае потребуются реализация протоколов IP и UDP на ПЛИС.

В условиях ограниченной площади монтажа на несущей плате ИМ выбор следует делать между микросхемами W5300 и LAN9215i, так как микропроцессор 1986BE1T занимает достаточно много места. Среди оставшихся двух вариантов выбор идет в пользу контроллера со встроенной поддержкой протокола TCP. Таким образом, для установки на несущей плате ИМ был выбран контроллер Ethernet W5300 фирмы WIZnet.

Для решения задачи реализации интерфейсов

вполне достаточно возможностей ПЛИС бюджетных семейств Spartan-6 (фирма Xilinx) и Cyclone-IV (фирма Altera). Микросхемы обоих семейств имеют встроенные блоки конечной точки PCI Express и все необходимые ресурсы для организации взаимодействия с контроллером Ethernet W5300 и ВПЦОС посредством LINK-портов.

После оценки требуемых логических ресурсов и стоимости микросхем выбор остановился на микросхеме Spartan-6 XC6SLX25T в корпусе FG484.

Реализация интерфейса PCI Express

Обычный интерфейс PCI Express подразумевает подключение платы подчиненного устройства (конечной точки) непосредственно к материнской плате ПЭВМ (корневого комплекса) через соответствующий разъем. В нашем случае необходимо использовать особую, кабельную версию интерфейса PCI Express [5].

Так как строгих требований по пропускной способности нет, то ограничимся наиболее простой конфигурацией интерфейса: будем использовать кабель, состоящий из одной двунаправленной линии PCI Express (x1 или 1-lane), пропускная способность линии в каждом направлении соответствует первому поколению интерфейса (2,5 Гбит/сек).

Структурная схема реализации интерфейса PCI Express показана на рис. 3, где КДФ – компенсатор дрожания фронта тактового сигнала, ЭКВ – эквалайзер.



Рис. 3. Реализация интерфейса PCI Express

Как видно на рис. 3, по кабелю PCI Express (1-lane) проходят три дифференциальные пары: одна пара для передачи на подчиненное устройство тактового сигнала частотой 100 МГц и две пары для передачи данных.

Компенсатор дрожания фронта [7] и эквалайзер [8] предназначены для компенсации искажений сигнала, вносимых кабелем. Адаптер [9] необходим для подключения кабеля PCI Express к ПЭВМ.

Реализация интерфейса Ethernet

Структурная схема реализации интерфейса Ethernet показана на рис. 4, где КП Ethernet – контроллер протокола Ethernet, Т – трансформатор.

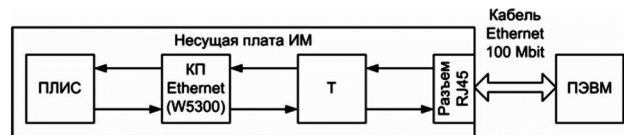


Рис. 4. Реализация интерфейса Ethernet

В качестве КП Ethernet служит рассмотренная ранее микросхема W5300. Необходимые для работы КП Ethernet параметры, IP-адрес и MAC-адрес, задает размещенный в ПЛИС контроллер.

Для подключения к ИМ требуется обычный кабель Fast Ethernet с двумя витыми парами, обеспечивающий

пропускную способность 100 Мбит/сек. Тем не менее, КП Ethernet на базе W5300 обеспечивает пропускную способность 50 Мбит/сек [6].

Плату ИМ можно подключить к маршрутизатору или хабу, тогда работать с ИМ можно удаленно, то есть с любой входящей в сеть ПЭВМ. Следует заметить, что для подключения ИМ непосредственно к ПЭВМ требуется кросс-кабель Ethernet.

Протокол RAMP

Для организации взаимодействия ИМ с ПЭВМ по интерфейсу Ethernet потребовалось разработать специальный протокол, который был назван RAMP (Remote Active Memory Protocol). Протокол RAMP предназначен для организации передачи данных между управляющей ПЭВМ и периферийным устройством и соответствует сеансовому уровню 5 (Session Layer) модели OSI.

В качестве транспорта используется протокол TCP, но также можно использовать любые другие протоколы уровня 4 (Transport Layer), поддерживающие инкапсуляцию пакетов и обеспечивающие гарантированную доставку данных.

Протокол RAMP предполагает разделение адресного пространства периферийного устройства на сегменты размером 8 Гбайт, максимальное количество сегментов – 128. Обмен данными по протоколу RAMP осуществляется пакетами, формат которых приведен в табл. 1.

Таблица 1. Формат пакета протокола RAMP

№ байта	Поле
0	Флаг
1	Контроль
2	Сегмент
3	Адрес
4	
5	
6	
7	Длина
8	
9 ... 65544	Данные

Поле «Флаг» представляет собой константу 0x7E и введено с целью обнаружения начала пакета. Поле «Сегмент» содержит номер сегмента памяти устройства, к которому производится доступ. Поле «Адрес» содержит 32 бита целевого адреса, расположенного в адресном пространстве выбранного сегмента памяти устройства. Этот адрес указывает на первый байт адресуемой области памяти. Адрес последнего байта «Адрес_к» рассчитывается по формуле: «Адрес_к» = «Адрес» + «Длина» – 1. Поле «Длина» характеризует длину блока данных в байтах для информационных пакетов (содержащих данные) или является параметром для служебных пакетов. Поле «Данные» присутствует только в информационных пакетах и представляет собой блок полезных данных. В поле «Контроль» содержится

информация о назначении пакета. Расшифровка поля «Контроль» приведена в табл. 2.

Таблица 2. Расшифровка поля «Контроль»

Поле	Биты	Обозначение	Описание
Контроль	7	R	Зарезервировано
	6	SP	Признак служебного пакета 1 – служебный пакет (поле данных отсутствует) 0 – информационный пакет (содержит поле данных)
	5..4	PT	Тип пакета 00 – ответный пакет 01 – зарезервировано 10 – командный пакет 11 – зарезервировано
	3..0	CMDST	Команда/состояние. Интерпретация зависит от полей SP и PT.

Передача команд и состояния устройств осуществляется служебными пакетами, передача полезных данных выполняется информационными пакетами. Признак служебного пакета указывается с помощью бита SP поля «Контроль».

Управляющая ПЭВМ отправляет командные пакеты на периферийное устройство, в свою очередь расположенный на периферийном устройстве контроллер сегмента проверяет соответствие указанного в командном пакете адреса на корректность и в случае соответствия обрабатывает команду. Затем отправляется ответный пакет: служебный с информацией о состоянии выполнения команды или информационный, если управляющая ПЭВМ запрашивала данные. Тип пакета, командный или ответный, указывается с помощью битов PT поля «Контроль».

Если контроллер сегмента получил от ПЭВМ некорректный командный пакет, формируется ответный служебный пакет с состоянием «недоступная область памяти». Команда или состояние указываются с помощью битов CMDST поля «Контроль».

Разработанный протокол RAMP позволяет организовать удобный доступ к ресурсам ИМ посредством интерфейса Ethernet.

Распределение ресурсов ИМ

Теперь необходимо решить задачу распределения ресурсов ИМ, куда входят пять submodule, каждый из которых содержит четыре ВПЦОС, 256 МБ ОЗУ и 64 МБ Flash-памяти. Следует распределить ресурсы ИМ таким образом, чтобы обеспечить полное соответствие адресных пространств для работы по интерфейсам PCI Express и Ethernet. Это позволит исключить возможные ошибки адресации. Распределение ресурсов ИМ показано в табл. 3.

Как видно из табл. 3, ресурсы ИМ разбиты на три сегмента протокола RAMP, причем каждому сегменту соответствует регистр базовых адресов (BAR) интерфейса PCI Express [5].

В сегменте 0 (BAR0) размещаются внутренняя память ВПЦОС, а также память ОЗУ всех пяти submodule последовательно друг за другом. Распределение ресурсов одного из submodule показано в табл. 4.

Таблица 3. Распределение ресурсов ИМ

	Ethernet	PCI Express	Объем памяти, МБ
Внутренняя память ВПЦОС и ОЗУ			
Субмодуль 0	Сегмент 0	BAR0	24
Субмодуль 1			24
Субмодуль 2			24
Субмодуль 3			24
Субмодуль 4			24
Резерв			8
Всего			128
Память Flash			
Субмодуль 0	Сегмент 1	BAR1	16
Субмодуль 1			16
Субмодуль 2			16
Субмодуль 3			16
Субмодуль 4			16
Резерв			48
Всего			128
Блок регистров ПЛИС			
ПЛИС	Сегмент 2	BAR2	256 Байт

Таблица 4. Распределение ресурсов одного субмодуля в сегменте 0

Субмодуль		Объем памяти, МБ
	ВПЦОС0	4
	ВПЦОС1	4
	ВПЦОС2	4
	ВПЦОС3	4
	Широковещательный 1	4
	Широковещательный 2	4
Всего		24

Выделенный на каждый ВПЦОС объем памяти представляет собой виртуальное адресное пространство. Разработчику ПО ВПЦОС предоставлена свобода выбора при размещении в этом адресном пространстве ресурсов внутренней памяти ВПЦОС и памяти ОЗУ.

Диапазон адресов, обозначенный «Широковещательный» означает, что запрос в эту область относится ко всем процессорам, объединенным системной шиной. В субмодуле может быть одна системная шина, объединяющая четыре ВПЦОС, либо две системные шины, объединяющие по два ВПЦОС.

В сегменте 1 (BAR1) размещаются ресурсы Flash-памяти. Здесь на каждый субмодуль выделено 16 МБ виртуального адресного пространства. Сегмент 2 (BAR2) служит для доступа к блоку регистров ПЛИС. Всего ИМ требует чуть больше 256 МБ в адресном пространстве управляющей ПЭВМ.

Программное обеспечение ПЛИС

Упрощенная структура ПО ПЛИС приведена на рис. 5, где приняты следующие сокращения: СБМ – субмодуль, ПД – передатчик, ПР – приемник, БР – блок регистров, БК – блок коммутации, МХ – мультиплексор, DMX – демультиплексор, ФП – формирова­тель пакетов, ОП – обработчик пакетов, БС – блок сопряжения, КС – контроллер сегмента, КП – контроллер протокола.

ПЭВМ может отправлять на ИМ запросы чтения или записи по интерфейсам PCI Express или Ethernet. В свою очередь ФП преобразуют эти запросы в LINK-пакеты, которые затем проходят через БК на передатчик LINK-порта. Если ПЭВМ делала запрос чтения, то

субмодуль должен отправить ответный LINK-пакет, который с помощью ОП преобразуется в пакет для отправки на ПЭВМ.

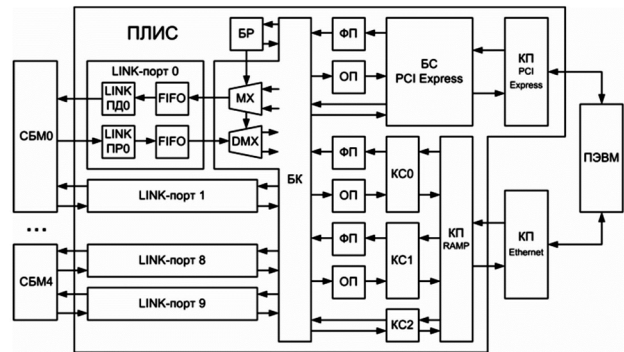


Рис. 5. Структура ПО ПЛИС

Встроенные в БК мультиплексор и демультиплексор исключают возможность доступа к ресурсам субмодулей по двум интерфейсам одновременно. Управляются эти коммутаторы сигналом из БР. В отличие от ресурсов субмодулей, доступ к БР всегда разрешен для обоих интерфейсов. Прежде чем начать работу с ИМ, необходимо выставить соответствующий управляющий бит в блоке регистров, тем самым разрешив работу нужного интерфейса.

Для связи ПЛИС с ВПЦОС предусмотрено десять LINK-портов: по два на каждый субмодуль. В блок LINK-порт входят передатчик (LINK ПД) и приемник (LINK ПР), разработанные в соответствии с документацией на ВПЦОС [3], а также два буфера FIFO для временного хранения LINK-пакетов.

Контроллер протокола PCI Express представляет собой упомянутый ранее встроенный блок конечной точки PCI Express.

Программное обеспечение ПЛИС разработано с учетом того, что некоторые LINK-порты могут не работать по причине плохих контактов. Например, субмодуль может не принимать запросы, субмодуль может принять запрос на чтение и не дать ответ, данные в LINK-пакете могут быть испорчены. Такие ошибки не приведут к сбою системы. В БР предусмотрен специальный регистр для сообщения об обнаруженных неисправностях, что должно помочь выявить и устранить ошибку.

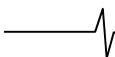
Программное обеспечение для ПЛИС разработано в среде ISE Webpack 14.7, которая не требует платной лицензии для работы с микросхемой Spartan-6 XC6SLX25T.

Формат LINK-пакета

Формат LINK-пакета, используемого для обмена данными между субмодулями и ПЛИС, приведен в табл. 5.

Таблица 5. Формат LINK-пакета

№ слова	Байт 3	Байт 2	Байт 1	Байт 0
0	Тэг	R	Доступ	Тип
1	Адрес			
2	Остаток		Размер	
3	Контрольная сумма		Флаг	
4	Данные			
...				
131				



Первые четыре слова являются заголовком LINK-пакета. Оставшиеся 128 слов пакета (поле «Данные») предназначены для передачи полезных данных. В одном LINK-пакете можно передать до 512 байт полезных данных.

В поле «Тип» указывается назначение пакета, это поле полностью соответствует полю «Контроль» пакета протокола RAMP, рассмотренному в табл. 2. В поле «Доступ» указывается, к какой области памяти осуществляется запрос: к внутренней памяти ВПЦОС (сегмент 0, BAR0) или к Flash-памяти (сегмент 1, BAR1). В поле «Размер» указывается объем полезных данных для передачи по запросу записи или чтения.

Если в запросе чтения объем данных превышает 512 байт, то потребуются отправка нескольких ответных LINK-пакетов. В этом случае поле «Остаток» должно сообщать, сколько полезных данных осталось передать по запросу чтения. Пакеты, относящиеся к одному запросу, должны быть отмечены одинаковым значением в поле «Тэг».

Поле «Флаг» представляет собой константу 0xAA и введено с целью обнаружения пакета в процессе отладки. Чтобы обнаружить искажение данных, для заголовка каждого пакета вычисляется контрольная сумма и помещается в поле «Контрольная сумма». Поля, обозначенные символом «R», не используются и должны быть заполнены нулевыми битами.

Заключение

Проведен анализ элементной базы и сделан оптимальный выбор, учитывающий ограниченную площадь для монтажа на несущей плате ИМ, а также необходимость работы ИМ в промышленном диапазоне температур. Разработан специальный протокол RAMP как надстройка над протоколом транспортного уровня TCP для обеспечения обмена данными между ИМ и ПЭВМ по интерфейсу Ethernet. Разработан LINK-пакет для обмена данными между ПЛИС и ВПЦОС. Выполнено

распределение ресурсов ИМ и обеспечено полное соответствие адресных пространств для работы по интерфейсам PCI Express и Ethernet. Разработано ПО ПЛИС, позволяющее обеспечить надежный канал связи между ИМ и ПЭВМ.

В результате была решена задача обеспечения взаимодействия многопроцессорного ИМ с управляющей ПЭВМ по интерфейсам PCI Express и Ethernet.

Литература

1. Букварев Е.А., Кузин А.А., Приблудова Е.Н., Рындык А.Г. Мультипроцессорный модуль на основе высокопроизводительных процессоров цифровой обработки сигналов. // Цифровая обработка сигналов. – 2015. – №2. – С. 60-64.
2. Букварев Е.А., Букварева Т.В., Кузин А.А. Конструктивное исполнение интегрированного модуля цифровой обработки сигналов. // Датчики и системы. – 2014. – № 11. – С. 23-27.
3. Сигнальный процессор со статической суперскалярной архитектурой 1967ВЦ2Ф, К1967ВЦ2Ф, К1967ВЦ2ФК. Спецификация. URL: http://milandr.ru/uploads/Products/product_294/спец_1967VC2.pdf
4. Мякочин Ю.О. 32-разрядный суперскалярный DSP-процессор с плавающей точкой // Компоненты и технологии. – 2013. – №7. – С. 98-100.
5. PCI Express Base Specification Revision 1.1. URL: <http://www.pcisig.com/specifications/pciexpress/base>
6. High-Performance Internet Connectivity Solution W5300. URL: http://wiznethome.cafe24.com/wpcontent/uploads/wiznethome/ChipW5300/Documents/W5300_DS_V131E.pdf
7. PCI Express/Jitter Attenuator. URL: <http://www.xilinx.com/products/boards/ml510/datasheets/ics874001.pdf>
8. DS80PCI102 2.5-Gbps / 5.0-Gbps / 8.0-Gbps 1-Lane PCI-Express™ Repeater with Equalization and De-Emphasis. URL: <http://www.ti.com/lit/ds/symlink/ds80pci102.pdf>
9. PCIe x1 Gen 2 Cable Adapter. URL: http://www.onesystems.com/sites/default/files/pdf/198-pcie_x1_2.0.pdf

НОВЫЕ КНИГИ

Бакулин М.Г., Крейнделин В.Б., Шлома А.М., Шумов А.П.
Технология OFDM: Учеб. пособие. М.: Горячая линия-Телеком, 2016. – 360 с.

Рассмотрены принципы построения и алгоритмы формирования и обработки сигналов в системах связи с технологией OFDM (ортогонального частотного мультиплексирования), положенные в основу систем: LTE, LTE-Advanced, WiMax и WiFi. Изложены основы распространения радиоволн в каналах подвижной радиосвязи, проанализированы характеристики каналов с замираниями, рассмотрены системные функции канала, основы статистического описания каналов, основные модели каналов систем подвижной связи. Отдельные разделы посвящены темам, связанным с технологией OFDM, таким как: генерация поднесущих, защитный интервал и циклическое расширение, выбор параметров и обработка OFDM сигналов, искажения и рассогласования в системах с OFDM. Рассмотрены вопросы кодирования и модуляции для систем с OFDM. Уделено внимание задачам синхронизации, оцениванию и выравниванию канала, методам решения проблемы высокой пиковой мощности.

Рассмотрены вопросы множественного доступа с ортогональным частотным разделением (OFDMA), совместного использования технологий MIMO и OFDM.

